

Docket No.: 50090-478

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of

Yukikazu MATSUO, et al.

Serial No.:

Group Art Unit:

Filed: February 28, 2002

Examiner:

For: TESTING DEVICE OF SEMICONDUCTOR INTEGRATED CIRCUIT AND TEST  
METHOD THEREFOR



**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents  
Washington, DC 20231

Sir:

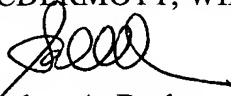
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application Number 2001-224899, July 25, 2001**

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:kjw  
**Date: February 28, 2002**  
Facsimile: (202) 756-8087

57090-478 G523W9  
YUKIKAZU MATSUO et al  
February 28, 2002

日 本 国 特 許 庁

JAPAN PATENT OFFICE McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 7月25日

出 願 番 号

Application Number:

特願2001-224899

出 願 人

Applicant(s):

三菱電機株式会社

菱電セミコンダクタシステムエンジニアリング株式会社

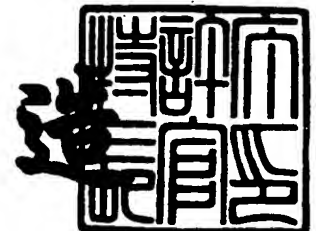


CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 8月10日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 533113JP01

【提出日】 平成13年 7月25日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/28  
G06F 11/22

【発明者】

【住所又は居所】 兵庫県伊丹市瑞原四丁目1番地 菱電セミコンダクタシステムエンジニアリング株式会社内

【氏名】 松尾 幸和

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 名倉 義博

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【特許出願人】

【識別番号】 591036505

【氏名又は名称】 菱電セミコンダクタシステムエンジニアリング株式会社

【代理人】

【識別番号】 100082175

【弁理士】

【氏名又は名称】 高田 守

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100066991

【弁理士】

【氏名又は名称】 葛野 信一

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100108372

【弁理士】

【氏名又は名称】 谷田 拓男

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路の試験装置及び試験方法

【特許請求の範囲】

【請求項 1】 2 つ以上の異なるロジックを有する半導体集積回路に J T A G 回路を組み込み、上記各ロジックのインサーキットテストを行なうことができるようにした半導体集積回路の試験装置において、テストデータ入力に応じて上記ロジックのテストを行ない、テスト結果を貯えるバウンダリースキャンレジスタと、データレジスタと、上記テストデータ入力のバイパス機能を有する疑似バイパスレジスタと、上記データレジスタ及び疑似バイパスレジスタに接続され、各レジスタの出力を選択的に取り出す第 1 のセレクタと、上記テストデータ入力のバイパス機能を有するバイパスレジスタと、動作指令を与えるためのインストラクションレジスタと、上記バウンダリースキャンレジスタ及び第 1 のセレクタ、バイパスレジスタ並びにインストラクションレジスタに接続され、上記インストラクションレジスタによって選択制御される第 2 のセレクタとを有する J T A G 回路を上記各ロジックにそれぞれ設け、所定のロジックの第 2 のセレクタの出力を他の 1 つのロジックの入力とするようにしたことを特徴とする半導体集積回路の試験装置。

【請求項 2】 上記疑似バイパスレジスタは、上記データレジスタによって第 1 のセレクタを選択することにより制御されることを特徴とする請求項 1 記載の半導体集積回路の試験装置。

【請求項 3】 上記疑似バイパスレジスタは、上記バイパスレジスタと同じ構成とされていることを特徴とする請求項 1 または請求項 2 記載の半導体集積回路の試験装置。

【請求項 4】 上記疑似バイパスレジスタの入力側にセレクタを設け、バイパスさせるテストデータ入力と任意の情報とを選択的に入力し得るようにしたことを特徴とする請求項 1 ～請求項 3 のいずれか 1 項記載の半導体集積回路の試験装置。

【請求項 5】 上記疑似バイパスレジスタを複数ビットにし、各ビット毎にセレクタを介してバイパスさせるテストデータ入力と任意の情報とを選択的に入

力し得るようにしたことを特徴とする請求項 1 ～請求項 3 のいずれか 1 項記載の半導体集積回路の試験装置。

【請求項 6】 2 つ以上の異なるロジックを有する半導体集積回路に J T A G 回路を組み込み、上記各ロジックのインサーキットテストを行なうことができるようにした半導体集積回路の試験装置において、テストデータ入力に応じて上記ロジックのテストを行ない、テスト結果を貯えるバウンダリースキャンレジスタと、データレジスタと、上記テストデータ入力のバイパス機能を有する疑似バイパスレジスタと、上記各レジスタに接続され、各レジスタの出力を選択的に取り出す第 1 のセレクトとからなる制御ブロックを各ロジックに対応して設け、更に、各ロジックにバイパスレジスタ及びインストラクションレジスタ並びにこれらのレジスタと第 1 のセレクトとに接続され、上記インストラクションレジスタによって選択制御される第 2 のセレクトを設け、所定のロジックの第 2 のセレクトの出力を他のロジックの入力とするようにしたことを特徴とする半導体集積回路の試験装置。

【請求項 7】 2 つ以上の異なるロジックを有する半導体集積回路に J T A G 回路を組み込み、上記各ロジックのインサーキットテストを行なうことができるようにした半導体集積回路の試験装置において、テストデータ入力に応じて上記ロジックのテストを行ない、テスト結果を貯えるバウンダリースキャンレジスタと、データレジスタと、上記テストデータ入力のバイパス機能を有する疑似バイパスレジスタと、上記各レジスタに接続され、各レジスタの出力を選択的に取り出す第 1 のセレクトとからなる制御ブロックを各ロジックに対応して設け、所定の制御ブロックの第 1 のセレクトの出力を他の制御ブロックの入力にすると共に、上記各制御ブロックに共通のバイパスレジスタ及びインストラクションレジスタ並びに上記各制御ブロックとバイパスレジスタとインストラクションレジスタとに接続され、上記インストラクションレジスタによって選択制御される第 2 のセレクトを設け、上記 J T A G 回路を構成するようにしたことを特徴とする半導体集積回路の試験装置。

【請求項 8】 請求項 1 ～請求項 7 のいずれか 1 項記載の半導体集積回路の試験装置によって半導体集積回路のインサーキットテストを行なうようにしたこ

とを特徴とする半導体集積回路の試験方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体集積回路、特に2つ以上の異なるロジック、例えばメモリコアを有し、JTAG回路（Joint Test Action Group、合同試験実施グループ基準にもとづく回路、以下同じ）を組み込んだ半導体集積回路の試験装置及び試験方法に関するものである。

【0002】

【従来の技術】

図9は、従来のJTAG回路を組み込んだ半導体集積回路の試験装置を示すブロック図で、同一チップ上に搭載された半導体集積回路が2つの異なるロジック（ロジック1及びロジック2）を有し、各ロジックにそれぞれJTAG回路が組み込まれた構成を示している。

この図において、11はロジック1に組み込まれ、JTAG回路の要部を構成するバウンダリースキャンレジスタ（Boundary Scan Register、以下BSRという）で、従来のテストプローブと等価な機能を有し、ロジック1のテスト結果を貯えるものである。12はJTAG回路におけるデータレジスタ（Data Register、以下DRという）、13は同じくバイパスレジスタ（Bypass Register、以下BRという）で、テストデータ入力を出力側にバイパスして最短経路を形成するものである。

【0003】

14は同じくインストラクションレジスタ（Instruction Register、以下IRという）で、図示しない周知のTAP（Test Access Port）コントローラの命令ビットを読み込んでデコードするものである。

15は上記各レジスタ11～14に接続され、IR14によって選択制御されていずれかのレジスタ出力を送出するセレクタ、21はロジック2に組み込まれたBSR、22は同じくDR、23は同じくBR、24は同じくIR、25は同じくセレクタで、いずれもロジック1と同様に構成されている。

なお、T D I は J T A G 回路のテストデータ入力信号、T D O は同じく J T A G 回路のテストデータ出力信号で、ロジック 1 のセクタ 1 5 の出力はロジック 2 に対する入力信号とされている。

#### 【 0 0 0 4 】

このような構成において、各ロジック 2 回のテスト及びテスト結果の読み出しを行なう場合の動作を図 1 0 に示すフローチャートを用いて説明する。

先ず、ステップ S 1 でロジック 1 のテストモードを設定する。次に、ステップ S 2 でロジック 1 の 1 回目のテストを実施し、ステップ S 3 でそのテスト結果を B S R 1 1 に貯える。次いで、ステップ S 4 で B S R 1 1 に貯えられた 1 回目のテスト結果を読み出す。この読み出し信号は、セクタ 1 5 を経てロジック 2 に入力され、ロジック 2 の B R 2 3 及びセクタ 2 5 を経てテストデータ出力 T D O に出力される。この場合、ロジック 1 のセクタ 1 5 は、I R 1 4 によって B S R 1 1 のテスト結果を選択するようにセットされ、ロジック 2 においては、セクタ 2 5 は I R 2 4 によって B R 2 3 を選択するようにセットされているものである。

#### 【 0 0 0 5 】

その後、ステップ S 5 でロジック 1 の 2 回目のテストが実施され、ステップ S 6 で B S R 1 1 にテスト結果が貯えられる。

ステップ S 7 で 2 回目のテスト結果が読み出されるが、B S R 1 1 からのテスト結果信号は、上述した 1 回目と同様に、ロジック 2 の T D O に出力される。

次いで、ステップ S 8 でロジック 2 のテストモードが設定され、ステップ S 9 でロジック 2 の 1 回目のテストが実施される。テスト結果はステップ S 1 0 で B S R 2 1 に貯えられ、ステップ S 1 1 でその結果が読み出される。

読み出し信号は B S R 2 1 からセクタ 2 5 を経て T D O に出力される。この場合、セクタ 2 5 は I R 2 4 によって B S R 2 1 のテスト結果を選択するようにセットされている。その後、ステップ S 1 2 でロジック 2 の 2 回目のテストが実施され、ステップ S 1 3 でテスト結果が B S R 2 1 に貯えられる。

次いで、ステップ S 1 4 で B S R 2 1 のテスト結果を読み出す。読み出し信号は 1 回目と同様に、セクタ 2 5 を経て T D O に出力され、ステップ S 1 5 でテ



ストを終了する。

【0006】

【発明が解決しようとする課題】

従来のJTAG回路による半導体集積回路のインサーキットテストは上述のように行なわれるが、テスト対象である2つのロジック1、2が同時にテスト状態である場合には、一方のロジック、例えばロジック1でBSR11からテスト結果を読み出している時は、ロジック2ではBR23が機能するようにされている。しかし、BR23または13は、JTAG回路のIR24または14が総て“1”である状態で有効となるようにされているため、BR23または13を設定したロジックは、IR24または14でセットされたテストモード（例えばRUNBIST）から抜ける結果となり、複数回のテスト結果の読み出しを伴う各ロジックの同時テストができなくなるという問題点があった。

【0007】

この発明は、上記のような問題点を解消するためになされたもので、IRの状態に左右されないバイパス機能を実現することができる試験装置及び試験方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

この発明に係る半導体集積回路の試験装置は、2つ以上の異なるロジックを有する半導体集積回路にJTAG回路を組み込み、各ロジックのインサーキットテストを行なうことができるようにした半導体集積回路の試験装置において、テストデータ入力に応じてロジックのテストを行ない、テスト結果を貯えるBSRと、DRと、テストデータ入力のバイパス機能を有する疑似バイパスレジスタ（Transfer Register、以下TRという）と、DR及びTRに接続され、各レジスタの出力を選択的に取り出す第1のセレクタと、テストデータ入力のバイパス機能を有するBRと、動作指令を与えるためのIRと、BSR及び第1のセレクタ、BR並びにIRに接続され、IRによって選択制御される第2のセレクタとを有するJTAG回路を各ロジックにそれぞれ設け、所定のロジックの第2のセレクタの出力を他の1つのロジックの入力とするようにしたものである。

【 0 0 0 9 】

この発明に係る半導体集積回路の試験装置は、また、T R が、D R によって第 1 のセレクトラを選択することにより制御されるようにしたものである。

【 0 0 1 0 】

この発明に係る半導体集積回路の試験装置は、また、T R が、B R と同じ構成とされているものである。

【 0 0 1 1 】

この発明に係る半導体集積回路の試験装置は、また、T R の入力側にセレクトラを設け、バイパスさせるテストデータ入力と任意の情報とを選択的に入力し得るようにしたものである。

【 0 0 1 2 】

この発明に係る半導体集積回路の試験装置は、また、T R を複数ビットにし、各ビット毎にセレクトラを介してバイパスさせるテストデータ入力と任意の情報とを選択的に入力し得るようにしたものである。

【 0 0 1 3 】

この発明に係る半導体集積回路の試験装置は、また、2 つ以上の異なるロジックを有する半導体集積回路に J T A G 回路を組み込み、各ロジックのインサーキットテストを行なうことができるようにした半導体集積回路の試験装置において、テストデータ入力に応じて上記ロジックのテストを行ない、テスト結果を貯える B S R と、D R と、テストデータ入力のバイパス機能を有する T R と、各レジスタに接続され、各レジスタの出力を選択的に取り出す第 1 のセレクトラとからなる制御ブロックを各ロジックに対応して設け、更に、各ロジックに B R 及び I R 並びにこれらのレジスタと第 1 のセレクトラとに接続され、I R によって選択制御される第 2 のセレクトラを設け、所定のロジックの第 2 のセレクトラの出力を他のロジックの入力とするようにしたものである。

【 0 0 1 4 】

この発明に係る半導体集積回路の試験装置は、また、2 つ以上の異なるロジックを有する半導体集積回路に J T A G 回路を組み込み、各ロジックのインサーキットテストを行なうことができるようにした半導体集積回路の試験装置において

、テストデータ入力に応じて上記ロジックのテストを行ない、テスト結果を貯える BSR と、DR と、テストデータ入力のバイパス機能を有する TR と、各レジスタに接続され、各レジスタの出力を選択的に取り出す第 1 のセクタとからなる制御ブロックを各ロジックに対応して設け、所定の制御ブロックの第 1 のセクタの出力を他の制御ブロックの入力にすると共に、各制御ブロックに共通の BR 及び IR 並びに各制御ブロックと BR と IR とに接続され、IR によって選択制御される第 2 のセクタを設け、JTAG 回路を構成するようにしたものである。

#### 【0015】

この発明に係る半導体集積回路の試験方法は、上述した各構成の試験装置を用いて半導体集積回路のインサーキットテストを行なうようにしたものである。

#### 【0016】

#### 【発明の実施の形態】

#### 実施の形態 1 .

以下、この発明の実施の形態 1 を図にもとづいて説明する。

図 1 は、実施の形態 1 の構成を示すブロック図である。この図において、図 9 と同一または相当部分には同一符号を付して説明を省略する。

図 9 と異なる点は、BR 13、23 に代わる TR を設け、TR を DR 12、22 によって制御するようにした点である。即ち、図 1 において、16 はロジック 1 の JTAG 回路を構成する TR で、BR 13 と同じ構成とされ、テストデータ入力信号 TDI を出力側にバイパスさせる機能を有するものである。

17 は TR 16 と DR 12 に接続された第 1 のセクタで、DR 12 によって選択制御されるものである。

また、18 は第 2 のセクタで、BSR 11、第 1 のセクタ 17 の出力端子、BR 13、及び IR 14 に接続され、図 9 と同様に、IR 14 によって選択制御され、出力がロジック 2 に対する入力信号とされている。

また、26 はロジック 2 に組み込まれた TR、27 は同じく第 1 のセクタ、28 は同じく第 2 のセクタで、いずれもロジック 1 と同様に構成され、第 2 のセクタ 28 の出力はテストデータ出力信号とされる。

## 【 0 0 1 7 】

このような構成において、図 9 と同様に、各ロジック 2 回のテスト及びテスト結果読み出しを行なう場合の動作を図 2 に示すフローチャートを用いて説明する。

まず、ステップ S 2 1 で、ロジック 1 及びロジック 2 のテストモードを設定する。次に、ステップ S 2 2 でロジック 1 及びロジック 2 の 1 回目のテストを実施し、ステップ S 2 3 でそれぞれのテスト結果を B S R 1 1 及び 2 1 に貯える。

次いで、ステップ S 2 4 で B S R 1 1 に貯えられたロジック 1 の 1 回目のテスト結果を読み出す。この読み出し信号は、I R 1 4 によって B S R 1 1 を選択している第 2 のセクタ 1 8 を経てロジック 2 に入力される。

ロジック 2 では D R 2 2 によって第 1 のセクタ 2 7 が T R 2 6 を選択し、I R 2 4 によって第 2 のセクタ 2 8 が第 1 のセクタ 2 7 の出力を選択しているため、ロジック 1 からのテスト結果信号はロジック 2 の T R 2 6 及び第 1 のセクタ 2 7、更に、第 2 のセクタ 2 8 を経てテストデータ出力 T D O に出力される。

## 【 0 0 1 8 】

次に、ステップ S 2 5 で B S R 2 1 に貯えられたロジック 2 の 1 回目のテスト結果を読み出す。この時、ロジック 2 では、I R 2 4 によって第 2 のセクタ 2 8 が B S R 2 1 を選択しているため、読み出し信号は第 2 のセクタ 2 8 を経てテストデータ出力 T D O に出力される。

その後、ステップ S 2 6 でロジック 1 及びロジック 2 の 2 回目のテストが実施され、ステップ S 2 7 で B S R 1 1 及び 2 1 にそれぞれのテスト結果が貯えられる。次に、ステップ S 2 8 でロジック 1 の 2 回目のテスト結果が読み出されるが、B S R 1 1 からのテスト結果信号は、上述した 1 回目と同様の経路でロジック 2 の T D O に出力される。

また、ステップ S 2 9 でロジック 2 の 2 回目のテスト結果が読み出されるが、B S R 2 1 からのテスト結果信号も 1 回目と同じ経路で T D O に出力され、ステップ S 3 0 でテストを終了する。

## 【 0 0 1 9 】

この実施の形態では、DR 1 2、2 2によってTR 1 6、2 6を選択制御するようにしているため、IR 1 4、2 4の状態に左右されないバイパス機能を実現することができる。

また、図 9 に示す従来の試験装置では、IR 1 4、2 4によってBR 1 3、2 3を選択制御していたため、ロジック 1 のテスト結果読み出しでロジック 2 のBR 2 3を機能させた後、ロジック 2 のテストを行なう場合には、図 1 0 のステップ S 8 に示すように、再度テストモードを設定する必要があったが、実施の形態 1 では、TR 1 6、2 6のバイパス機能を利用するため、ロジック 2 がテストモードから抜けることがなく、フローの簡略化を図ることができる。

従って、図 2 のフローチャートにも示すように、複数回のテスト結果の読み出しを伴う複数ロジックの同時テストが可能となり、テストの時間短縮を図ることができる。

#### 【0 0 2 0】

実施の形態 2.

次に、この発明の実施の形態 2 を図にもとづいて説明する。

図 3 は、実施の形態 2 の要部を構成するTR 1 6、2 6の構成と、それに対する信号の経路を示すブロック図である。

即ち、図 3 において、1 6、2 6は図 1 におけるロジック 1 のTR 1 6またはロジック 2 のTR 2 6を示すものである。3 0はTR 1 6、2 6の入力側に設けられた第 3 のセレクタで、一方の入力であるPass-Dataは図 1 におけるテストデータ入力TDIと直結し、バイパスさせるテストデータが入力され、他方の入力であるIN-Dataは各ロジックにおける任意の情報、例えばメモリアのパスあるいはフェイル信号などを入力するための端子であり、図示しないTAPコントローラのSHIFT DR信号によって選択制御されるものである。即ち、各ロジックに固有の情報をIN-Dataを経てTR 1 6、2 6に付加することができるようにしたものである。

#### 【0 0 2 1】

図 4 は、TAPコントローラの状態遷移と対応させた波形図を示すものであるが、(b)に示すように、SHIFT-DR信号が入ることによって図 3 における第 3 の

セレクタ 3 0 が IN-Data を選択するため、(e) に示す IN-Data の情報が (f) に示すように、T D O に現われ、テストデータ入力である Pass-Data と共に読み出すことができる。

#### 【 0 0 2 2 】

実施の形態 3.

次に、この発明の実施の形態 3 を図にもとづいて説明する。

図 5 は、実施の形態 3 の要部を構成する T R 1 6、2 6 の構成と、それに対する信号の経路を示すブロック図である。

なお、図 5 における T R の符号は、一例としてロジック 1 に対応させて表示している。即ち、図 5 において、1 6 ( 1 )、1 6 ( 2 ) …… 1 6 ( N ) は、複数ビットの T R、3 0 ( 1 )、3 0 ( 2 ) …… 3 0 ( N ) は、それぞれ各 T R 1 6 ( 1 )、1 6 ( 2 ) …… 1 6 ( N ) の入力側に設けられた第 3 のセレクタで、各セレクタの機能及び入力信号等は実施の形態 2 における第 3 のセレクタ 3 0 と同等である。

図 6 は、図 4 と同様に、T A P コントローラの状態遷移と対応させた波形図を示すもので、IN-Data として ( e 1 ) ~ ( e N ) に示す複数の任意情報が準備され、( b ) に示すように、SHIFT-DR 信号が入ることによって、図 5 における各ビットの第 3 のセレクタ 3 0 ( 1 ) ~ 3 0 ( N ) が順次 IN-Data を選択するため、( e 1 ) ~ ( e N ) に示す IN-Data の情報が ( f ) に示すように、順次 T D O に現われ、テストデータ入力である Pass-Data と共に読み出すことができる。

#### 【 0 0 2 3 】

この実施の形態では、上述のように、各ロジックに固有の任意情報を各ビット毎に付加し得るようにしたため、実施の形態 2 に比して N 倍の情報を得ることができる。

#### 【 0 0 2 4 】

実施の形態 4.

次に、この発明の実施の形態 4 を図にもとづいて説明する。

図 7 及び図 8 は、実施の形態 4 の構成を示すブロック図である。これらの図において、図 1 と同一または相当部分には同一符号を付して説明を省略する。

図 7 において、B 1 はロジック 1 の B S R 1 1、T R 1 6 及び D R 1 2 並びにこれらの各レジスタに接続され、D R 1 2 によって選択制御されるセクタ 3 7 で構成される第 1 の制御ブロック、3 8 はセクタ 3 7、B R 1 3 及び I R 1 4 に接続され、I R 1 4 によって選択制御されるセクタ、B 2 は同じくロジック 2 の B S R 2 1、T R 2 6 及び D R 2 2 並びにこれらの各レジスタに接続され、D R 2 2 によって選択制御されるセクタ 4 7 で構成される第 2 の制御ブロック、4 8 はセクタ 4 7、B R 2 3 及び I R 2 4 に接続され、I R 2 4 によって選択制御されるセクタである。

## 【 0 0 2 5 】

この実施の形態は、制御ブロック B 1、B 2 を各ロジック毎に設けることにより、J T A G 回路と各ロジックとを分離したもので、このような構成とすることにより、例えば図 8 に示すような構成が可能となる。

図 8 において、J C は 1 つの J T A G 回路で制御ブロック B と B R 3 3 と I R 3 4 と、これらに接続され I R 3 4 によって選択制御されるセクタ 5 8 とから構成され、制御ブロック B は更に、矢印で示す部分に詳細構成を示すように、ロジック 1 に対応する制御ブロック B 1 と、ロジック 2 に対応する制御ブロック B 2 とから構成されている。

従って、B R 3 3 と I R 3 4 及びセクタ 5 8 は、両ブロック B 1、B 2 に共通の構成要素として機能する。

このような構成とすることにより、1 つの J T A G 回路で複数のロジックの同時テストが可能となるものである。

## 【 0 0 2 6 】

## 【発明の効果】

この発明に係る半導体集積回路の試験装置および試験方法は、テストデータ入力に応じてロジックのテストを行ない、テスト結果を貯える B S R と、D R と、テストデータ入力のバイパス機能を有する T R と、D R 及び T R に接続され、各レジスタの出力を選択的に取り出す第 1 のセクタと、テストデータ入力のバイパス機能を有する B R と、動作指令を与えるための I R と、B S R 及び第 1 のセクタ、B R 並びに I R に接続され、I R によって選択制御される第 2 のセク

タとを有する J T A G 回路を各ロジックにそれぞれ設け、所定のロジックの第 2 のセレクトアの出力を他の 1 つのロジックの入力とするようにしたため、I R の状態に左右されないバイパス機能を実現することができる。

また、バイパス機能を使用した後、再度テストモードを設定することなくテストを行なうことができるため、テストフローの簡略化と複数回のテスト結果読み出しを伴う複数ロジックの同時テストを行なうことができるため、テストの時間短縮を図ることができる。

#### 【 0 0 2 7 】

この発明に係る半導体集積回路の試験装置および試験方法は、また、T R の入力側にセレクトアを設け、バイパスさせるテストデータ入力と任意の情報とを選択的に入力し得るようにしたため、ロジック固有の情報、例えばメモリアのパスあるいはフェイル信号を付加することができ、B S R 出力の読み出しと同時に種々のメモリア特有の情報を読み出すことができる。

また、T R を複数ビットにすれば、N 倍の固有情報を得ることができる。

#### 【 0 0 2 8 】

この発明に係る半導体集積回路の試験装置および試験方法は、また、テストデータ入力に応じて上記ロジックのテストを行ない、テスト結果を貯える B S R と、D R と、テストデータ入力のバイパス機能を有する T R と、各レジスタに接続され、各レジスタの出力を選択的に取り出す第 1 のセレクトアとからなる制御ブロックを各ロジックに対応して設け、所定の制御ブロックの第 1 のセレクトアの出力を他の制御ブロックの入力にすると共に、各制御ブロックに共通の B R 及び I R 並びに各制御ブロックと B R と I R とに接続され、I R によって選択制御される第 2 のセレクトアを設け、J T A G 回路を構成するようにしたため、1 つの J T A G 回路で複数のロジックの同時テストを行なうことが可能となる。

#### 【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 の構成を示すブロック図である。

【図 2】 実施の形態 1 のテスト動作を示すフローチャートである。

【図 3】 この発明の実施の形態 2 の要部の構成を示すブロック図である。

【図 4】 実施の形態 2 における T A P コントローラの状態遷移と対応させ



た波形図である。

【図 5】 この発明の実施の形態 3 の要部の構成を示すブロック図である。

【図 6】 実施の形態 3 における T A P コントローラの状態遷移と対応させた波形図である。

【図 7】 この発明の実施の形態 4 の構成を示すブロック図である。

【図 8】 この発明の実施の形態 4 の詳細構成を示すブロック図である。

【図 9】 従来の J T A G 回路を組み込んだ半導体集積回路の試験装置を示すブロック図である。

【図 1 0】 従来の試験装置のテスト動作を示すフローチャートである。

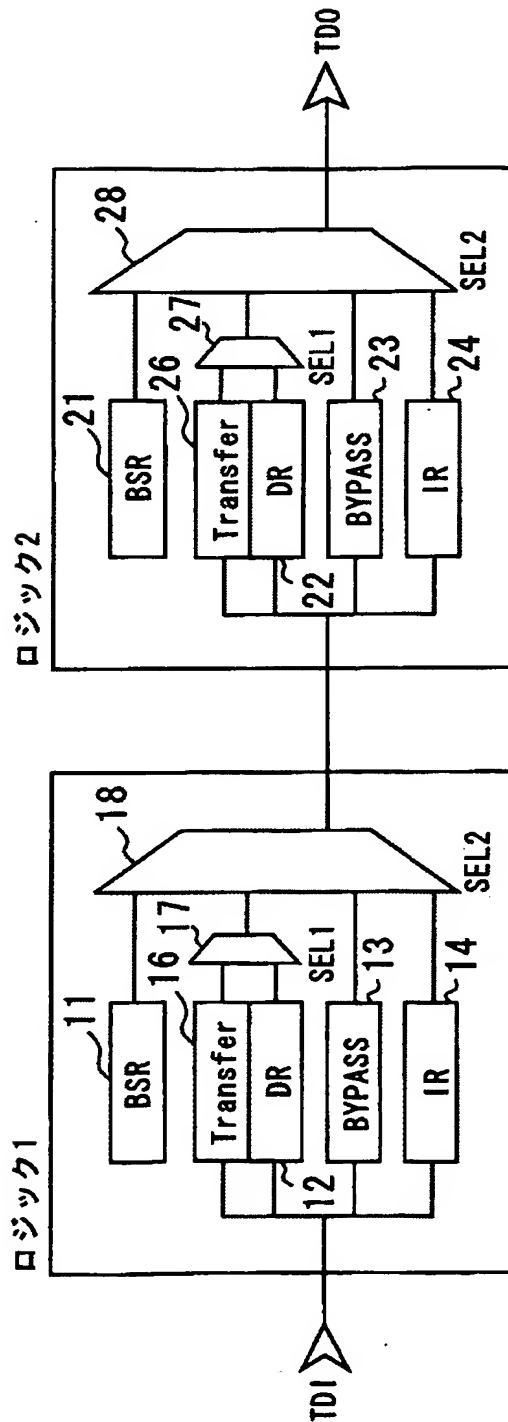
【符号の説明】

1 1、2 1	B S R、	1 2、2 2	J T A G 回路の D R、	1 3、2 3
J T A G 回路の B R、		1 4、2 4	J T A G 回路の I R、	1 6、2 6
J T A G 回路の T R、		1 7、1 8、2 7、2 8、3 0、3 7、3 8、4 7		
、4 8、5 8	セレクタ、	B、B 1、B 2	制御ブロック。	

【書類名】

凶面

【図 1】



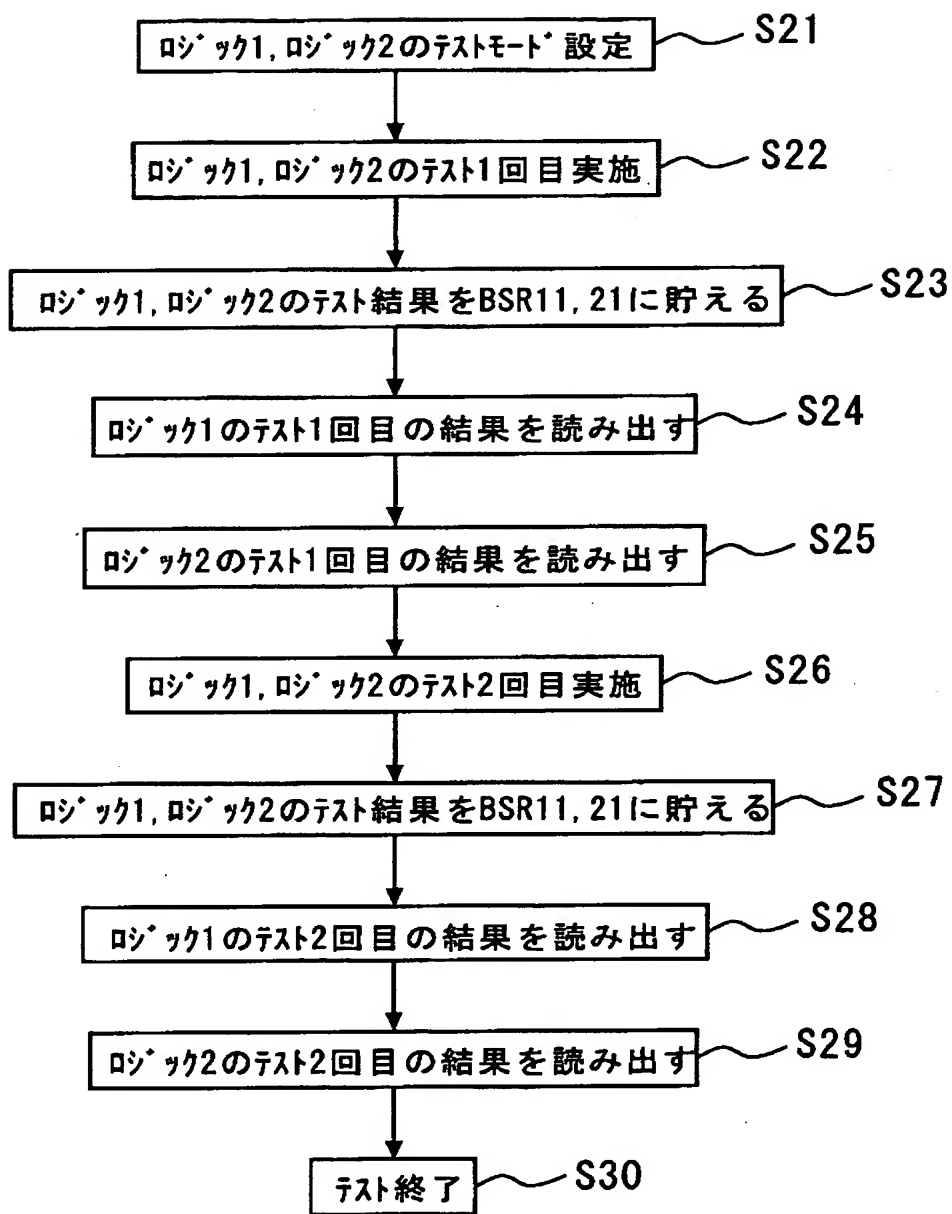
## 11.21: バウンダリスキャンレジスタ

## 12.22: JTAG回路のデータレジスタ

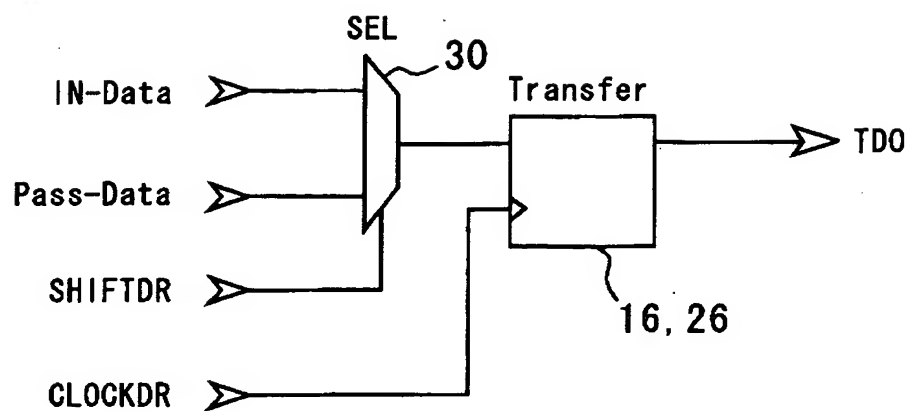
13.23: JTAG回路のバイパスレジスタ

14,24: JTAG回路のインストラクションレジスタ

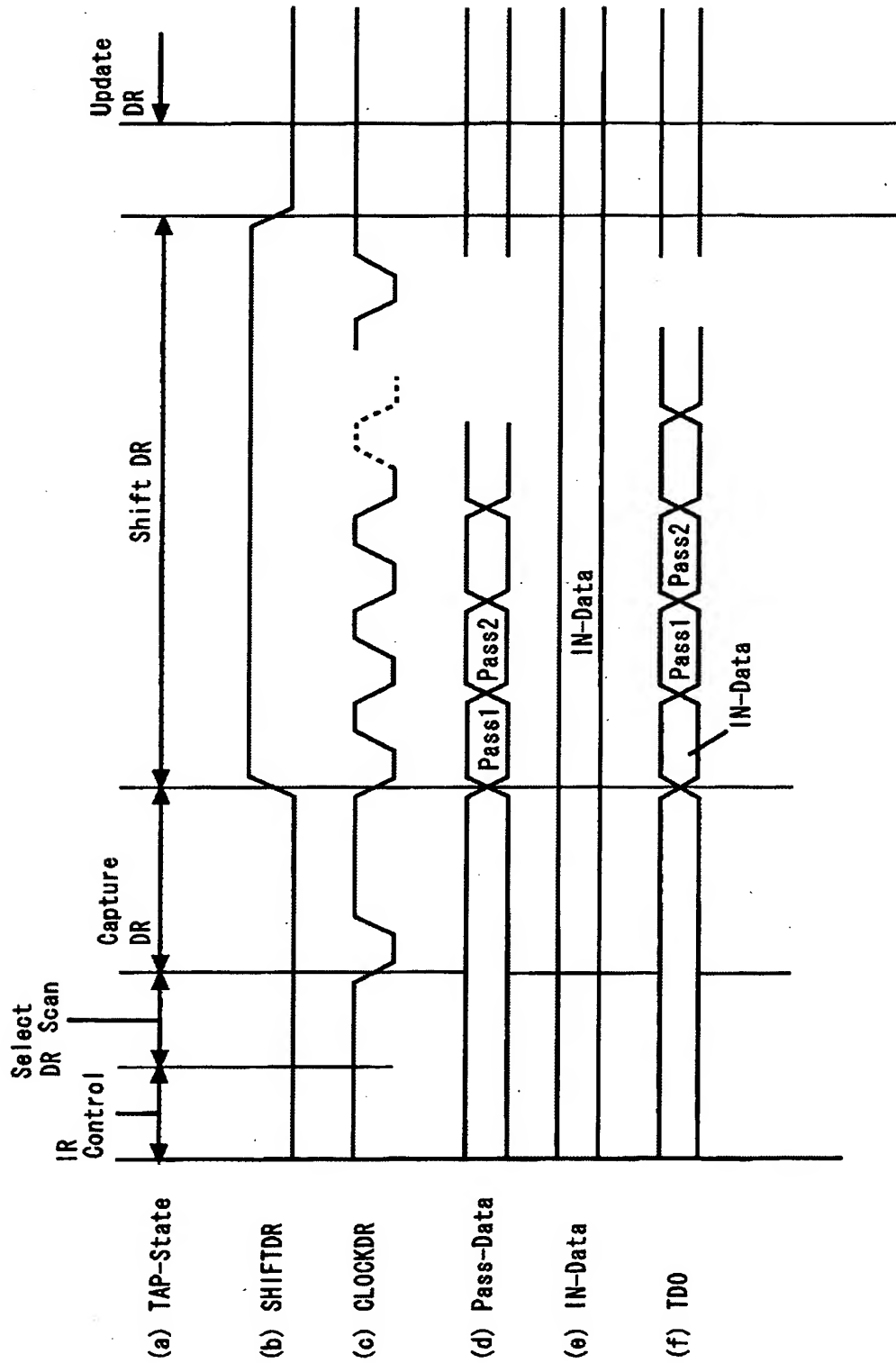
【図 2】



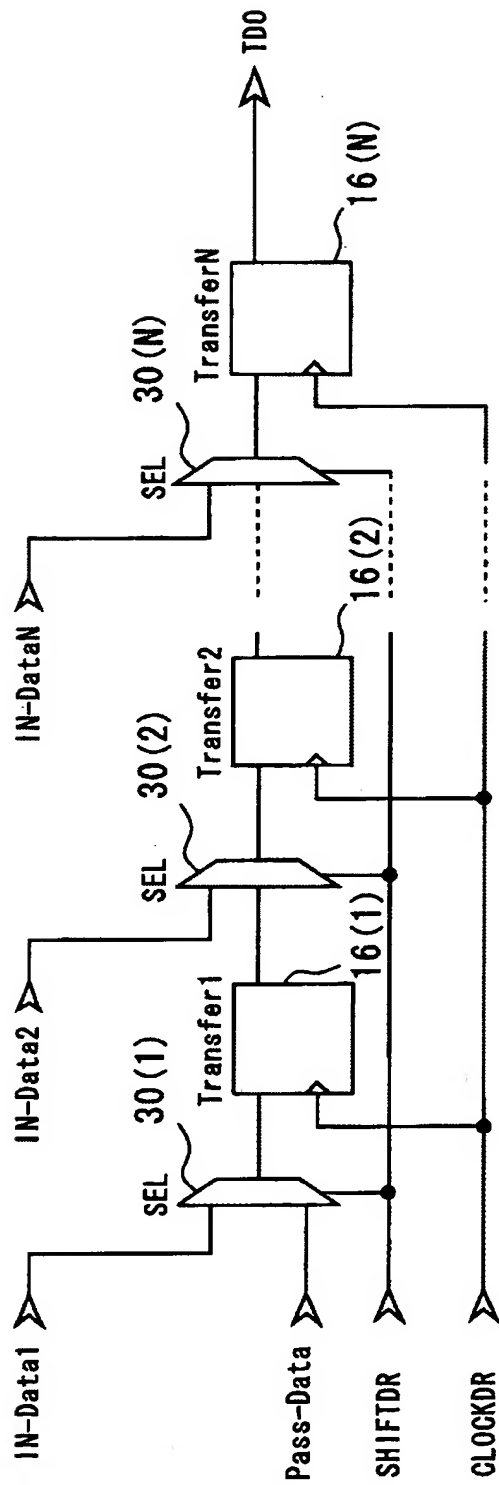
【図 3】



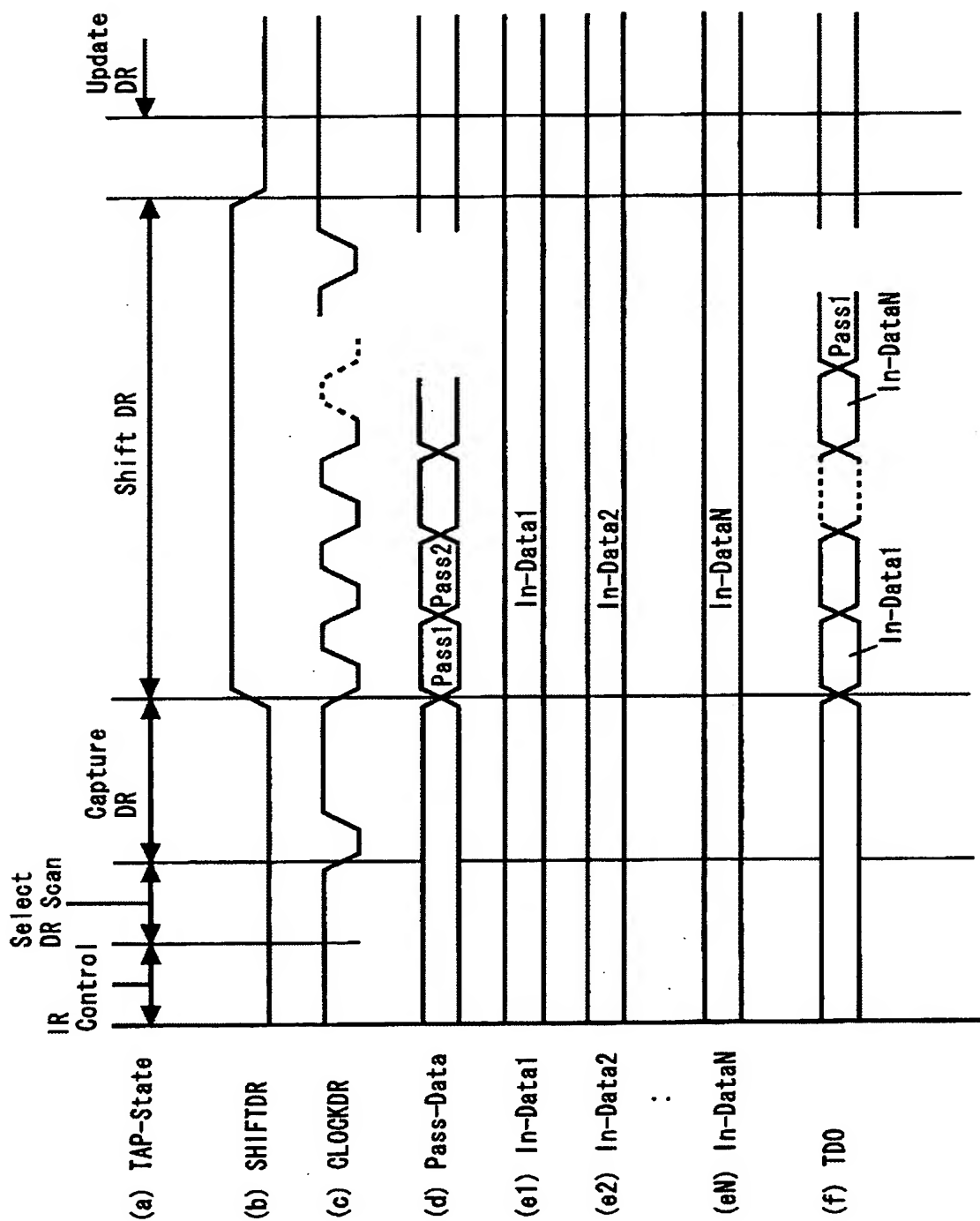
【図 4】



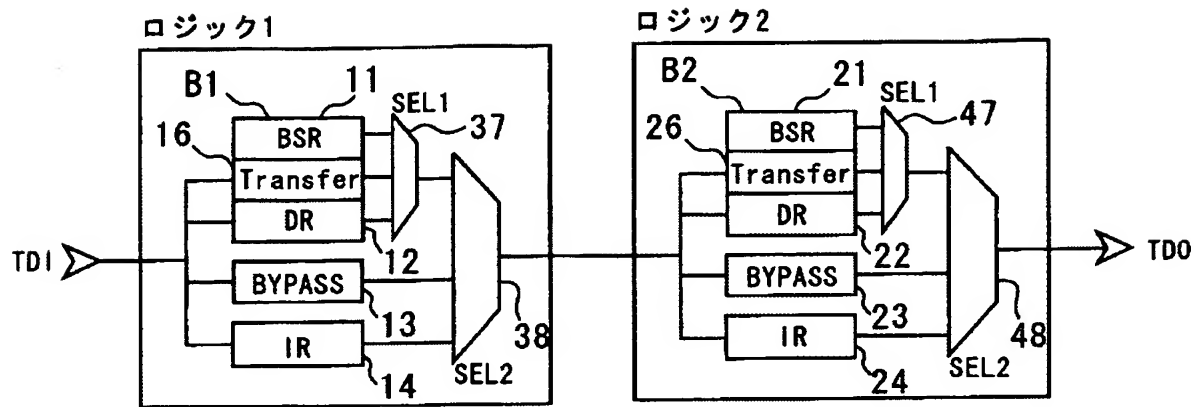
【図 5】



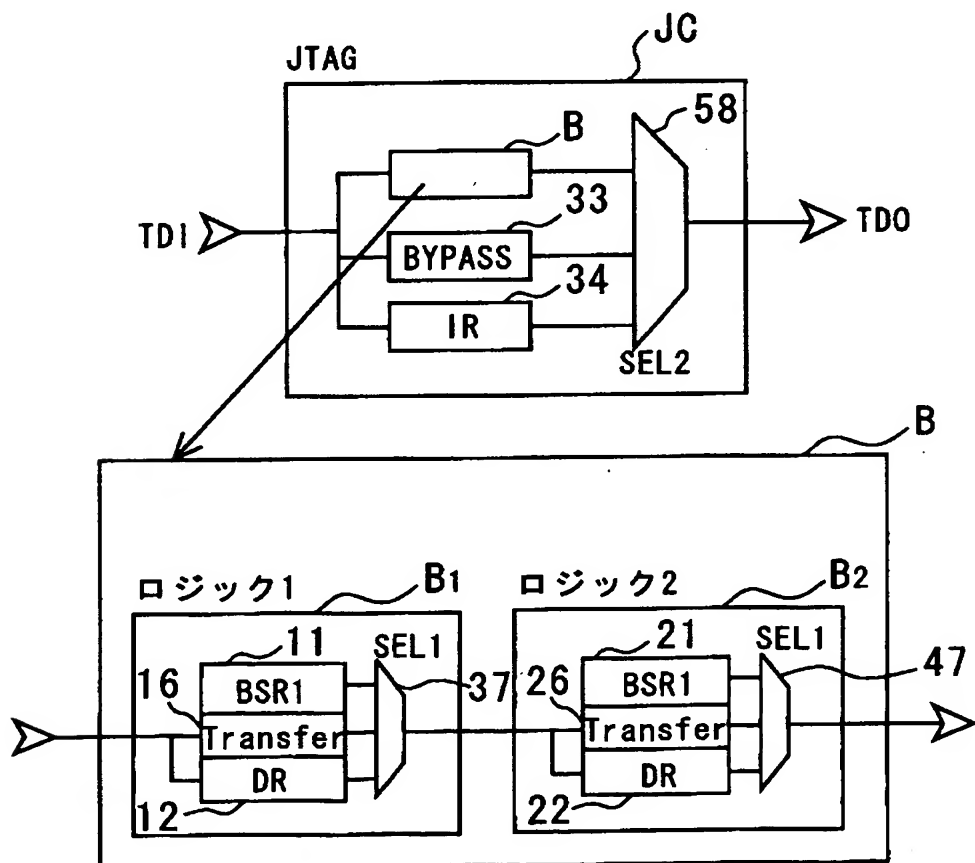
【图 6】



【図 7】

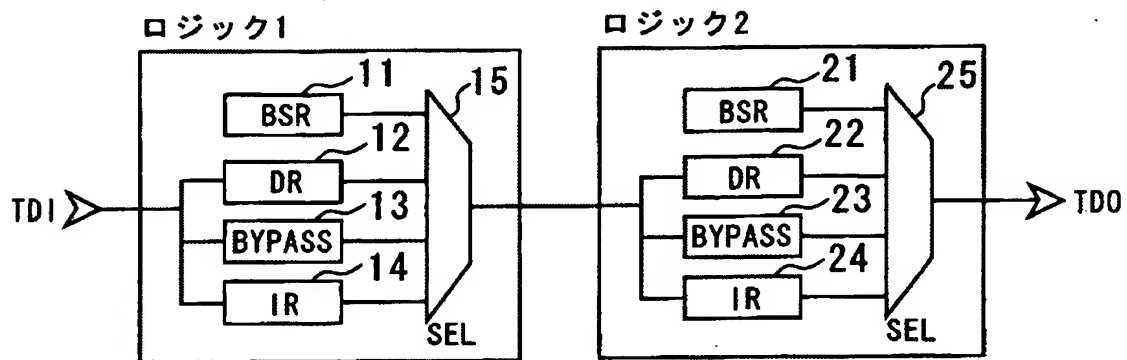


【図 8】

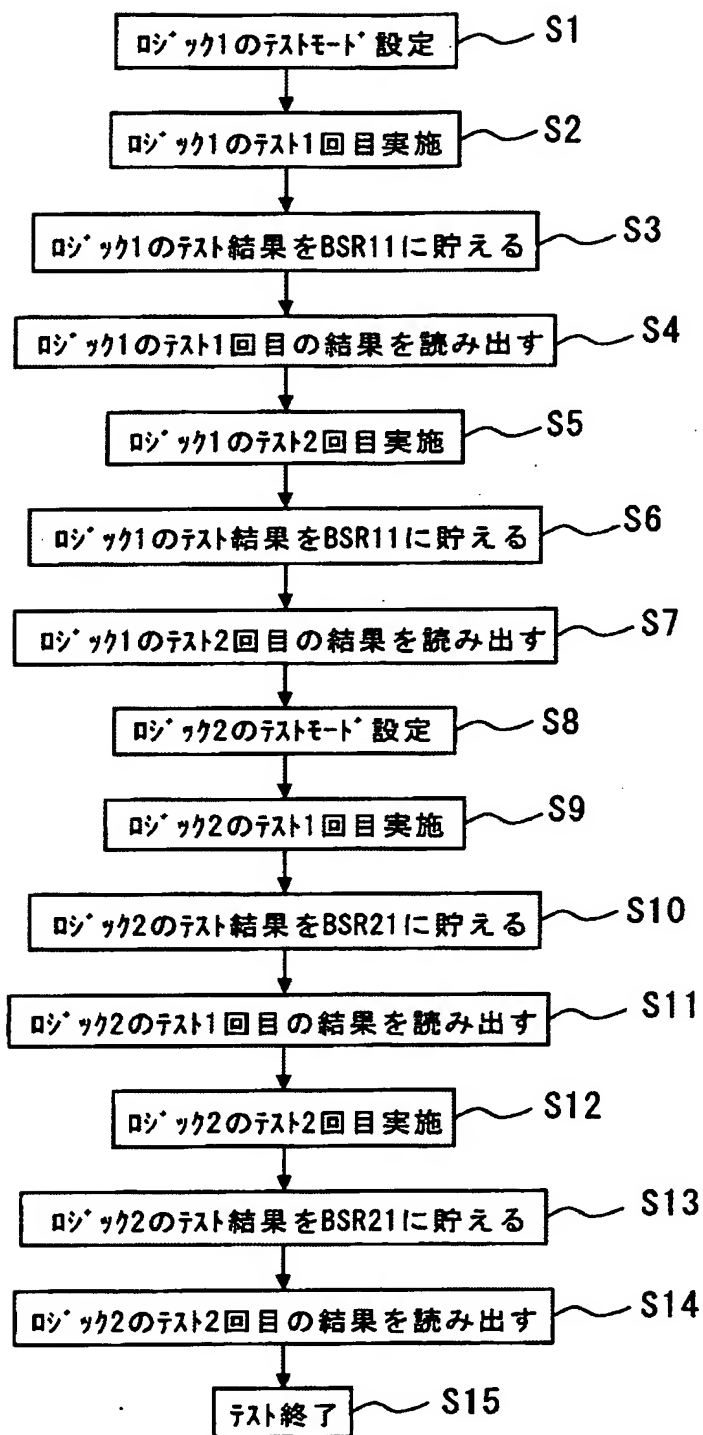




【図 9】



【図10】



【書類名】            要約書

【要約】

【課題】    JTAG回路において、IRの状態に左右されないバイパス機能を実現することができる試験装置及び試験方法を提供する。

【解決手段】    テストデータ入力に応じてロジックのテストを行ない、テスト結果を貯えるBSR11と、DR12と、テストデータ入力のバイパス機能を有するTR16と、DR12及びTR16に接続され、各レジスタの出力を選択的に取り出す第1のセクタ17と、テストデータ入力のバイパス機能を有するBR13と、動作指令を与えるためのIR14と、BSR11及び第1のセクタ17、BR13並びにIR14に接続され、IR14によって選択制御される第2のセクタ18とを有するJTAG回路を各ロジックにそれぞれ設け、所定のロジックの第2のセクタ18の出力を他の1つのロジックの入力とするようにしたもの。

【選択図】            図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社

出 願 人 履 歴 情 報

識別番号 [ 5 9 1 0 3 6 5 0 5 ]

1. 変更年月日 1 9 9 1 年 2 月 2 6 日

[変更理由] 新規登録

住 所 兵庫県伊丹市瑞原4丁目1番地

氏 名 菱電セミコンダクタシステムエンジニアリング株式会社